

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-233759

(43) 公開日 平成11年(1999) 8月27日

(51) Int.Cl.⁵

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

6 5 2 H

審査請求 未請求 請求項の数10 O L (全 8 頁)

(21) 出願番号 特願平10-318826

(22) 出願日 平成10年(1998)11月10日

(31) 優先権主張番号 08/966867

(32) 優先日 1997年11月10日

(33) 優先権主張国 米国 (U S)

(71) 出願人 592032647

ハリス コーポレーション

アメリカ合衆国フロリダ州, メルボルン,

ウエスト ナサ ブールバード 1025

(72) 発明者 ジョン ニールソン

アメリカ合衆国ペンシルバニア州 18707

-2189 マウンテントップ クレストウッ

ドロード 125

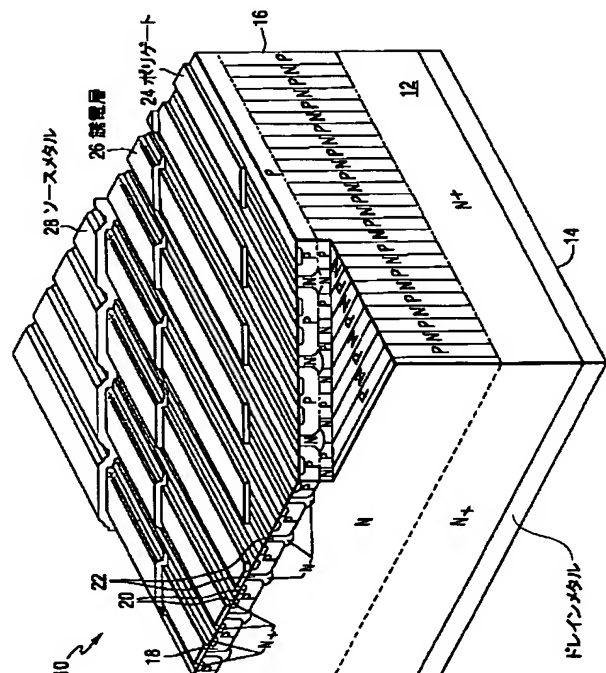
(74) 代理人 弁理士 柏原 三枝子

(54) 【発明の名称】 高電圧MOSFET構造

(57) 【要約】

【課題】 オン抵抗が低い高電圧MOSFETを提供する。

【解決手段】 オン抵抗が低い高電圧MOSFETと高電圧MOSFETの特別なデバイスのブレイクダウン電圧に対するオン抵抗を下げる方法。MOSFETは第1導電型のブロッキング層を具え、このブロッキング層は第2の導電型の縦型セクションを有している。または、ブロッキング層は、第1及び第2の導電型のセクションを交互に配置したものであっても良い。



【特許請求の範囲】

【請求項 1】 電圧支持領域を持つ半導体装置であって、水平層を具え、当該水平層が第 1 の導電型であって、ほぼ縦方向に延在する第 2 導電型セクションを具え、これらのセクションがほぼ同じ大きさを有し、好ましくはこのセクションが柱状であることを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、前記セクションが前記水平層内に均一に配置されており、前記水平層が第 1 の導電型の縦型セクションと第 2 の導電型の縦型セクションを交互に具えていることを特徴とする半導体装置。

【請求項 3】 請求項 1 又は 2 に記載の半導体装置において、前記第 2 の導電型の前記セクションの横方向の厚さ及び隣接する第 2 導電型のセクション間の横方向の距離が前記水平層の縦方向の厚さより小さく、前記半導体装置が縦方向に導通するものであり、好ましくは MOS F E T であることを特徴とする半導体装置。

【請求項 4】 請求項 1 ないし 3 に記載の半導体装置において、前記水平層がなだれブレイクダウン電圧を有し、前記水平層が前記なだれブレイクダウン電圧に達する前に前記水平層の厚さ全体が空乏化され、前記水平層の電界が前記なだれブレイクダウン電圧に達した時、前記水平層の縦方向の厚さのほぼ全体にわたる電界が前記なだれブレイクダウン電圧に達することを特徴とする半導体装置。

【請求項 5】 ソースおよびゲート領域と、ドレイン領域と、前記ソースおよびゲート領域と前記ドレイン領域との間にあって前記ソースおよびゲート領域に隣接する層とを有し、これらの領域及び層が水平方向に、ほぼ平行に前記装置の横方向に延在しており、前記層が第 1 の導電型であって第 2 の導電型のほぼ縦方向のセクションを具えることを特徴とする半導体装置。

【請求項 6】 請求項 1 ないし 5 のいずれかに記載の半導体装置であって縦方向に導通する半導体装置用の高電圧接合を含む半導体装置において、第 1 及び第 2 の導電型の複数の縦型セクションを交互に具え、前記セクションが前記半導体装置内で水平ブロッキング層を形成していることを特徴とする半導体装置。

【請求項 7】 半導体装置のブロック層を製造する方法において、第 1 の導電型の半導体材料でできた層を提供するステップと、前記層の複数の領域内に第 2 導電型のドーパントを注入するステップとを具え、前記ドーパントが前記ドーパント注入領域内において前記層の厚さ方向に縦に分布しており、前記ドーパント注入領域がほぼ同じ大きさであり、好ましくは前記注入領域が柱状であることを特徴とする半導体装置のブロック層を製造する方法。

【請求項 8】 請求項 7 に記載の方法において、前記注入領域が前記層内において均一に配置されており、前記

注入領域がほぼ同じ大きさであり、ほぼ平行に前記層の水平方向の長さに沿って横方向に配置されており、前記層は前記注入領域とほぼ同じ大きさで、前記注入領域にほぼ平行な非注入領域を有することを特徴とする半導体装置のブロック層を製造する方法。

【請求項 9】 請求項 8 に記載の方法において、前記ドーパントが厚い注入マスクを用いて全域注入法で注入されているか、又は、前記ドーパントはイオン注入法にて注入されていることを特徴とする半導体装置のブロック層を製造する方法。

【請求項 10】 請求項 8 又は 9 に記載の方法において、前記第 1 の導電型が N 型であり、前記第 2 の導電型が P 型であり、前記ドーパントがボロンであることを特徴とする半導体装置のブロック層を製造する方法。

【発明の詳細な説明】**【0001】**

【発明を適用する技術分野】本発明は、半導体装置に関するものであり、特に、高電圧 MOS F E T s に関するものである。

【0002】

【従来の技術】金属酸化膜半導体電界効果トランジスタ (MOS F E T s) は公知である。MOS F E T s の性能特性はバイポーラより優れているためパワーエレクトロニクス分野で用いられている。すなわち、MOS F E T s は、バイポーラに比べてスイッチング時間がより早く、ドライブ回路がより簡素で、セカンドブレイクダウン欠陥メカニズムがなく、平衡能力に優れ、幅広い温度範囲においてゲインと応答時間が安定している。MOS F E T s の主な欠点は、デバイスのオン抵抗が高い点である。

【0003】

【発明が解決しようとする課題】従来の縦型 MOS F E T s は、通常、縦型 2 重拡散プロセス (VDMOS, Vertical Double-Diffused Process) を用いて製造されている。VDMOS MOS F E T のオン抵抗は、通常、(1) チャンネル抵抗、(2) ネック抵抗、(3) ブロッキング層抵抗の 3 つに分けることができる。チャンネル抵抗と、ネック抵抗とは、例えばより微細なジオメトリとより浅い拡散を用いるなどして、デバイスの製造時に最小に抑えることが可能である。しかし、ブロッキング層抵抗、すなわち、印加された電圧を支える層の抵抗は、デバイスのブレイクダウン電圧に依存しており、デバイスを高電圧に耐えるようにするためには、ブロッキング層の抵抗は犠牲にせざるを得ない。

【0004】

図 1 及び 2 は、従来の典型的な VDMOS MOS F E T の構造を示す図である。これらの 2 つのデバイスにおいては、高い電圧容量を得るために、ブロッキング層を厚く均一にドーパされた層にして、デバイス内に高電界 (および早すぎるブレイクダウン) が生じないようにしている。このデバイスに電圧が印加される

と、均一にドーパされたN-ブロッキング層内にP-N接合から下側へ空乏領域が広がる。P-N接合から空乏領域の端部へかけてのドーパント濃度は約 $1.3 \times 10^{12} / \text{cm}^2$ になり、P-N接合におけるピーク電界はミクロンあたり約20ボルトである。これは、ほぼアバランシェブレイクダウンが始まる電界である。装置のブロッキング層は、ブレイクダウン時には実際のブレイクダウン電圧とは無関係にこれとほぼ同じ量のドーパントを含む。温度やドーパント濃度などのファクタによって生じるキャリアの移動度の変化によって些細な変化が生じることがある。従来のデバイスでは、デバイスのブレイクダウン電圧を上げるために、ドーパントを縦方向に厚い領域の中に分布させなくてはならず、これによってブロッキング層の厚さがより厚くなると共に、高抵抗となっている。従来のデバイスにおいて、ブレイクダウン電圧が上がると、デバイスのオン抵抗は、主にブロッキング層の抵抗の上昇によってパワーを約2.3に上げるブレイクダウン電圧の上昇と同じファクタによって上がる。

【0005】本発明の目的のひとつは、オン抵抗の低い高電圧MOSFETおよびその製造方法を提供しようとするものである。

【0006】本発明の他の目的は、高電圧MOSFET用のブロッキング層を有し、オン抵抗が低く、ブレイクダウン電圧が高い高電圧MOSFETを提供しようとするものである。

【0007】本発明は、電圧サポート領域を有し、水平層を具える半導体装置であって、この水平層が第1の導電型であり、第2の導電型のほぼ縦のセクションを具え、これらのセクションがほぼ同じ大きさであり、好ましくはこれらのセクションが柱状であることを特徴とする。

【0008】本発明は、半導体装置のブロッキング層を製造する方法に関するものであり、この方法は、第1導電型の半導体材料でできた層を提供するステップと、この層の複数領域に第2の導電型のドーパントを注入するステップとを具え、前記ドーパントが前記注入領域において前記層の厚さ方向に縦に分布されており、前記注入領域がほぼ同じ大きさであって、好ましくは前記注入領域が筒型であることを特徴とする。

【0009】

【発明の実施の形態】図3及び図4に、本発明のVDMOS MOSFETの実施形態を示す。これらの図中、同じ構成要素については同じ符号を付すものとする。VDMOS MOSFET 10は、一方にN+基板12と、ドレインコンタクト14とを、他方にブロッキング層16を具える。ブロッキング層16の基板12と反対側にブロッキング層に隣接してP型ウェル領域18およびN+型ソース領域20が設けられている。P型ウェル領域18の間にはN領域22が設けられている。ゲートポリ領域24は、N領域22と、N型領域22に隣接す

るP型ウェル領域18およびソース領域20の一部の上に設けられている。誘電層26をゲートポリ領域24の上に設けて、ゲートポリ領域24をソースメタル28からアイソレートするようにしている。

【0010】図5は、VDMOS MOSFET 10の実施形態を示す図であり、ブロッキング層16はPおよびN型材料でできた縦型のセクション、即ち、Pセクション30とNセクション32とを交互に具える。各縦型セクション30、32は約 $1 \times 10^{12} / \text{cm}^2$ から $2 \times 10^{12} / \text{cm}^2$ のドーパント濃度を有する。デバイスに電圧が与えられると、空乏領域が縦型セクション30、32の各サイドに水平に広がる。各縦型セクション30、32のドーパント量は、全体で、ブレイクダウン電界が生じるのに必要とされる量より少ないので、水平方向の電界がアバランシェブレイクダウンを引き起こすのに十分に高くなる前に、ブロッキング層16が縦方向の厚さ全体にわたって空乏化される。この領域が完全に水平方向に空乏化された後は、電界がミクロンあたり約20~30ボルトのアバランシェ電界に達するまで電界が縦方向にでき続ける。

【0011】縦型セクション30、32の水平方向の厚さBは、これらセクションを形成するのに使用する方法に応じて可能な限り小さくすると共に、ブロッキング領域16の縦方向の厚さAより小さくなくてはならない。導電型が同じ縦型セクション間の距離は、デバイスのピッチであり、他の導電型の縦型セクションの水平方向の厚さBに等しい。図5の例に示す例では、セクション30、32の水平方向の厚さは同じであるが、異なる厚さとしても良い。一方のセクションを他のセクションより厚くする場合は、電流キャリアセクションがより厚いセクションであることが好ましい。例えば、Nチャネルデバイスにおいては、Nセクションがより厚いことが好ましく、同様に、Pチャネルデバイスにおいては、Pセクションがより厚いことが好ましい。

【0012】縦型セクション30、32のドーパント濃度は（縦方向の抵抗をなるべく小さくするために）できる限り高くするべきであるが、ブレイクダウン電圧が生じない程度に十分に低くなくてはならない。最大ドーパント濃度に関する主な条件は、各縦型セクションにおける濃度が十分に低く水平電界が臨界電界に達する前に縦型セクション30、32の水平方向の厚さB全体に水平方向に空乏領域が広がり得ることである。各縦型セクションの水平方向におけるドーパント濃度は、約2ないし $4 \times 10^{12} / \text{cm}^2$ 以下に保たれていなければならない。臨界電界はミクロンあたり20ないし30ボルトであり、これは、1平方センチメートルあたりの電荷密度 1.2 ないし 1.8 に相当する。各縦型セクションは両側から空乏化されるので、各セクションは2倍のドーパント原子を含有する。

【0013】臨界電界の正確な値は、ドーパント濃度、

キャリアの移動度、セクションの厚さ、イオン化の度合いなど様々なファクタによって決まる。イオン化の度合いが異なると、縦方向における臨界電界は水平方向における臨界電界と明らかに異なる。縦方向の電界は長さ方向に存在するので、イオン化の度合いが大きく、すなわち、各自由キャリアが長い距離を移動することができ、更に多数の自由キャリアを生み出すことができる。この結果、縦方向の臨界電界は1ミクロンあたり約20ボルトになる。水平方向においては、イオン化の度合いが低い（自由キャリアの移動距離が短い）ため、臨界電界は1ミクロンあたり30ボルト近くになり、アバランシェブレイクダウンが生じる前に電界がいくらかより高くなりうる。従って、最大許容ドーパント濃度は、縦型セクションが薄いほど高くなる。

【0014】空乏化されている間に、電界がブロッキング層の縦方向の全体に亘ってミクロンあたり20～30ボルトの臨界電界に達する。従来技術においては、電界はP-N接合でのみ臨界電界となり、従ってブロッキング層の厚さ全体に亘って平均してミクロン当たり10～15ボルトのテーパー形状をなしている。従って、本願に係るVDMOS MOSFETのブロッキング層の縦方向の厚さは、従来のデバイスの縦方向の厚さより薄くすることができる。

【0015】ブロッキング層の厚さをより薄くできることに加えて、本発明の装置のブロッキング層は、N型セクション32内を電流が縦方向に流れるので、従来の装置のブロッキング層より抵抗が低い。本発明の装置においてブレイクダウン電圧が大きくなると、装置のオン抵抗は、従来のデバイスに比べると、ブレイクダウン電圧に対してのみ直線的に増える。従来のデバイスでは、オン抵抗はパワーを約2.3倍に上げるブレイクダウン電圧の増加に等しいファクタによって増える。図6は従来の装置と本発明に係る装置間で、所定のブレイクダウン電圧に対するオン抵抗（面積×オン抵抗）を比較するグラフである。

【0016】図7は、本発明のブロッキング層16の他の実施形態を示す図である。本例では、ブロッキング層16が所定の第1導電型材料（本例ではN型）でできており、第2導電型材料（本例ではP型）でできた縦型セクションを有する水平層34を具える。この例では、縦型セクション36が柱状をしており、水平層34内に均一に配置されている。縦型セクション36は、図示するような円柱形状の他、断面角形の角柱形状にしても良い。縦型セクション36間の水平方向における距離Cは、ブロッキング層16の縦方向における厚さAより小さくなくてはならない。

【0017】ブロッキング層16以外は、従来のVDMOS製造技術を利用してMOSFET10を製造することができる。

【0018】ブロッキング層16は、まず第1導電型

（例えばN型）のエピタキシャル層を形成し、次いで、第2導電型（例えばP型）のドーパントを注入して縦型セクション32あるいは36を形成する。第2の導電型のドーパントは厚い注入マスク、あるいはイオンビームを用いて注入することができる。

【0019】実施形態として、10ミクロンのピッチの1000ボルトの装置用に、厚さ55ミクロン、ドーパント濃度 $4E15/cm^3$ （1.2オームcm）のエピタキシャル層をN+基板上に作る。数KeVから70MeVの範囲の注入エネルギーでボロンを注入し、セクション32または36内に縦方向にボロンを分布させる。必要な全注入量は、マスクインプラントの場合は、約 $2E13/cm^2$ 、イオンビームインプラントの場合はこの半分の量である。

【0020】本願は、オン抵抗が低い高電圧MOSFETと高電圧MOSFETの特別なデバイスのブレイクダウン電圧に対するオン抵抗を下げる方法に関するものである。MOSFETは第1導電型のブロッキング層を具え、このブロッキング層は第2の導電型の縦型セクションを有している。または、ブロッキング層は、第1及び第2の導電型のセクションを交互に配置したものであっても良い。

【図面の簡単な説明】

【図1】図1は、従来の高電圧VDMOS MOSFETの構成を示す図である。

【図2】図2は、図1に示すVDMOS MOSFETの断面図である。

【図3】図3は、本発明に係る高電圧VDMOS MOSFETの実施形態の構成を示す図である。

【図4】図4は、図3に示すVDMOS MOSFETの断面図である。

【図5】図5は、本発明の高電圧VDMOS MOSFETのブロッキング層の実施形態を示す図である。

【図6】図6は、従来のMOSFETと本発明のMOSFETの実施形態のブレイクダウン電圧当たりの抵抗値を示すグラフである。

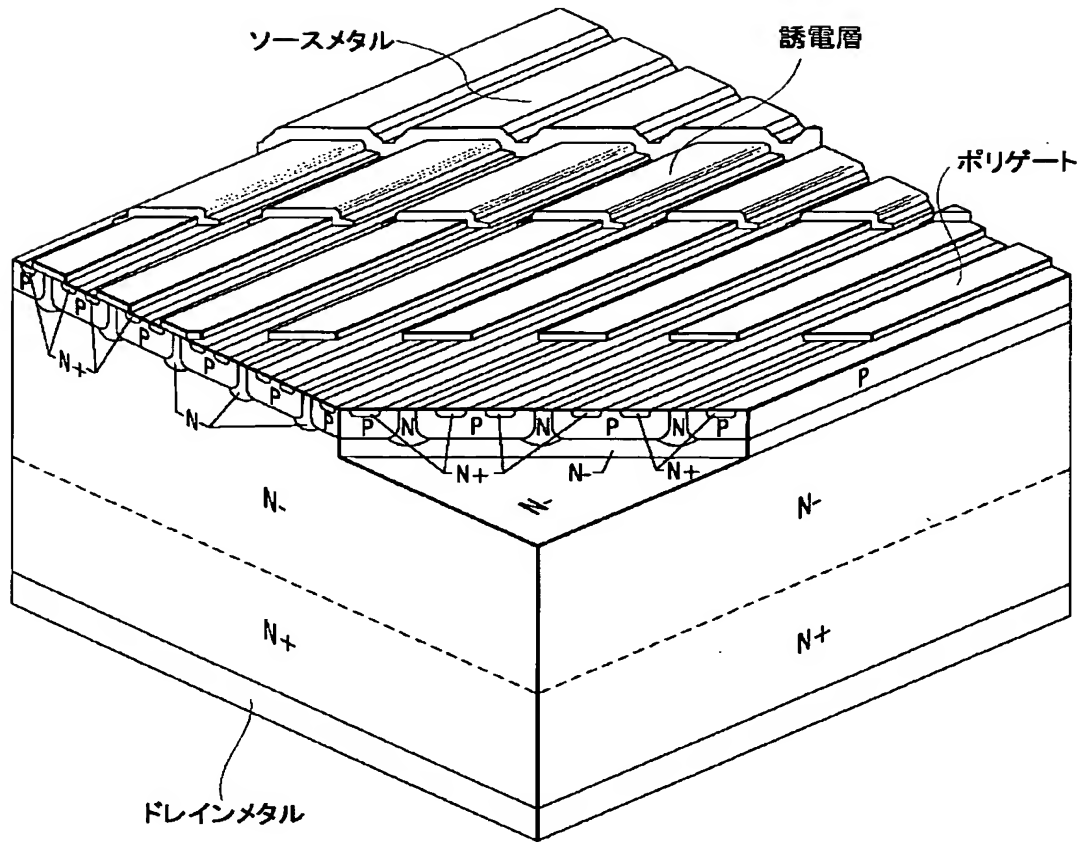
【図7】図7は、本発明に係る高電圧VDMOS MOSFETのブロッキング層の他の例の構成を示す図である。

【符号の説明】

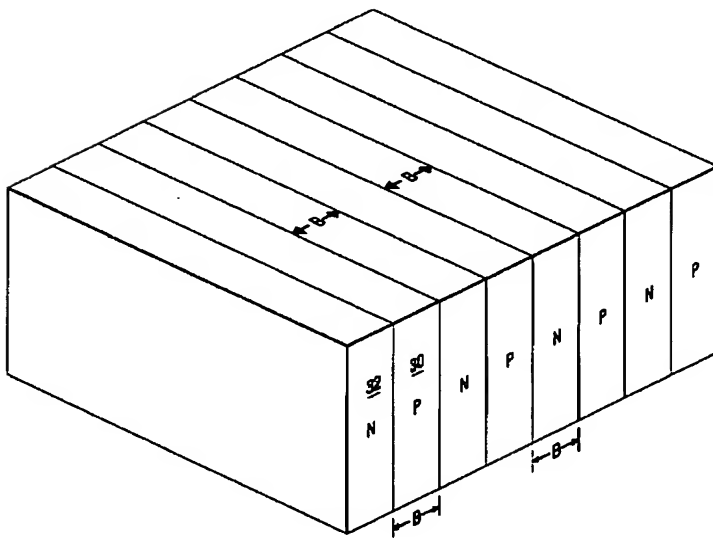
- 10 VDMOS MOSFET
- 12 基板
- 14 ドレインコンタクト
- 16 ブロッキング層
- 18 ウエル領域
- 20 ソース領域
- 24 ゲート領域
- 26 誘電層
- 30、32 縦型セクション
- 34 水平層

36 縦型セクション

【図 1】



【図 5】



【図2】

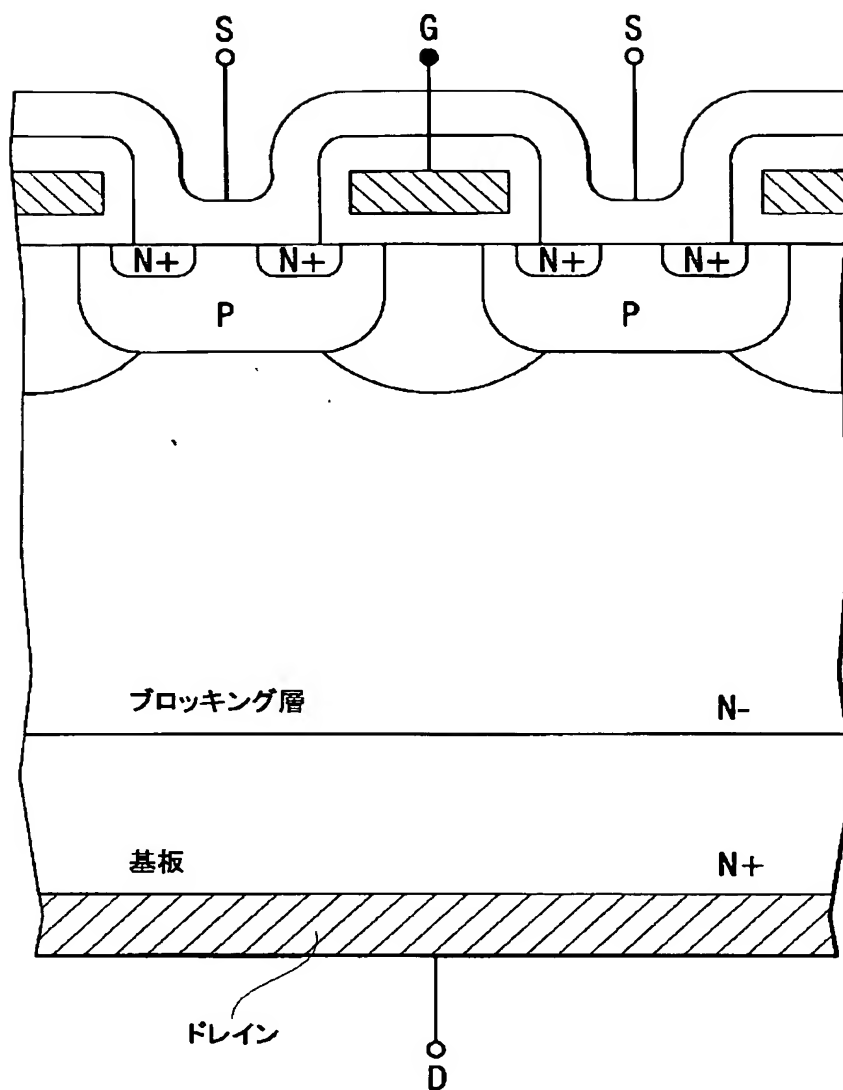


Fig. 1 is a cross-sectional view of a semiconductor device. The device includes a substrate 10 with a drain region 14 at the bottom, connected to a drain terminal 12. Above the substrate is a channel region 16 containing alternating N and P layers. A gate stack 22 is positioned on top of the channel region, with gate electrodes 24 and 26. Source regions 20 are located on either side of the gate stack. A top layer 28 is present above the source regions. The device is labeled with various regions: N+, P, N, and N+.